

高速全耗尽 CMOS/SOI 2000 门阵列

刘新宇¹, 孙海峰¹, 海朝和¹, 刘忠立², 吴德馨¹

(1. 中国科学院微电子中心, 北京 100029; 2. 中国科学院半导体所, 北京 100029)

摘要: 本文对全耗尽 CMOS/SOI 2000 门阵列进行了研究, 阵列采用宏单元结构, 每个宏单元包括 2×8 个基本单元和 8 条布线通道, 其尺寸为: $92\mu\text{m} \times 86\mu\text{m}$. 2000 门阵列采用 $0.8\mu\text{m}$ 全耗尽工艺, 实现了 101 级环形振荡器和 4 ~ 128 级分频器电路. 在工作电压为 5V 时, $0.8\mu\text{m}$ 全耗尽 CMOS/SOI 101 级环振的单级延迟为 45ps.

关键词: 门阵列; 薄膜全耗尽 SOI; 宏单元

中图分类号: TN331.1 **文献标识码:** A **文章编号:** 0372-2112(2001)08-1129-03

A High Speed Fully Depleted CMOS/SOI 2000 Gate Sea Of Array

LIU Xin-yu¹, SUN Hai-feng¹, HAI Chao-he¹, LIU Zhong-li², WU De-xin¹

(1. Research and Development Center of Microelectronics, The Chinese Academy of Sciences, Beijing 100029, China;

2. Institute of Semiconductors, The Chinese Academy of Sciences, Beijing 100083, China)

Abstract: Fully depleted CMOS/SOI 2000 gate sea of array are described in the paper. The structure of macrocell is used, including 2×8 basic cells and eight channels, with size is $92\mu\text{m} \times 86\mu\text{m}$. The SOG (Sea Of Array) were developed with $0.8\mu\text{m}$ Fully depleted CMOS/SOI technology. Some frequency dividers and ring oscillators are built on it. Unloaded 101 stage $0.8\mu\text{m}$ fully depleted ring oscillators reported here have very good speed performance. Under 5V supply voltage, the delay per stage reaches 45ps.

Key words: Sea Of Array; TFDSOI; macrocell

1 引言

门阵列技术是 AISC 技术的一个重要的分支, 广泛应用于高性能计算机、工业控制、仪器仪表和航天航空等领域, 它具有研制周期短、设计灵活、成本低、适合小批量生产并可由用户自己设计等优点. 根据布线通道的不同, 门阵列可分为常规门阵列和门海阵列两种, 门海阵列与常规门阵列相比, 具有更高的集成度和较小的芯片面积, 它是大规模和超大规模电路发展的方向.

全耗尽 CMOS/SOI 电路具有高速、低功耗、高集成度等特点^[1], 十分适应 VLSI 的需求, 人们开始将门海阵列技术应用于 SOI 材料. 1991 年, T. Nishimura^[2] 等人, 用全耗尽 SOI 16K 门阵列实现了 $0.6\mu\text{m}$ 的 16 位 \times 16 位乘法器, 速度是相应体硅电路的 1.5 倍; 1993 年, T. zwamatsu^[3] 等人利用 $0.5\mu\text{m}$ CMOS/SOI 工艺实现了 1M 位门海阵列 (SOG), 速度比体硅电路高 1.7 倍, 而功耗却小于体硅电路; Mitsubishi 公司用 PDSOI 技术实现 $0.35\mu\text{m}$ 的 220K 门阵列, 当 $V_{dd} = 2\text{V}$ 时, SOI 门的速度比体硅的快 35%. 在国内, 航天部 771 所和北京大学先后完成了 300 门 PD/FDSOI 门阵列的研制^[4,5], 但尚未见到有关大规模全耗尽门海阵列研究的报道.

2 全耗尽 2000 门海阵列母片设计

门海阵列由基本阵列单元和 I/O 单元按一定规则重复排

列组成. 门海阵列母片设计主要包括内部阵列单元和 I/O 单元设计两大部分.

2.1 内部阵列单元设计

在全耗尽 2000 门海阵列设计中, 采用 4 管单元作为基本的阵列单元, 见图 1 所示. 单元尺寸为: $38.8\mu\text{m} \times 9.2\mu\text{m}$, N 管和 P 管采用相同宽长比: $14.4/0.8$, 单元采用 PBL 技术隔离, 间距为 $1.8\mu\text{m}$. 由于阵列采用门海技术, 内部单元不存在布线通道. 表 1 给出实现一些基本的逻辑单元所需要的内部单元数, 为了易于电路布线和建立库单元, 我们采用宏单元结构 (见图 2), 它基本可实现一些常用的逻辑单元. 为了便于宏单元之间布线和提高单元利用率, 每个宏单元包括 2×8 个基本单元和 8 条布线通道, 布线通道分布在宏单元四周, 宏单元尺寸为: $92\mu\text{m} \times 86\mu\text{m}$. 全耗尽 2000 门海阵列采用 $0.8\mu\text{m}$ 全耗尽 CMOS/SOI 双层布线工艺, 一次铝主要用于内部单元的 Vdd 和 GND 线, 以及宏单元内部布线; 二次铝用于 I/O 单元的 Vdd、GND 线和宏单元之间布线.

表 1 基本逻辑单元所需内部单元数

基本逻辑单元	内部单元数
倒相器	0.5
2 输入 NAND/NOR	1
传输门	2
2 选 1 MUX	2
三态门	5~6
D 触发器	6~8
主从 RS 触发器	10~12
AOI	5~7

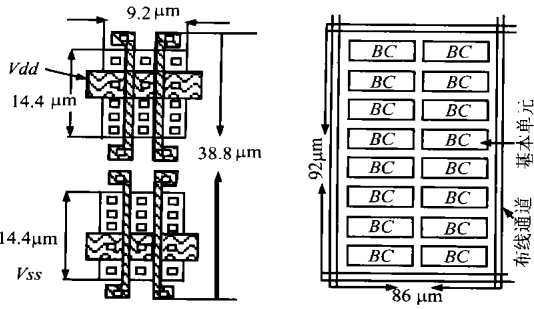


图1 基本阵列单元的版图

图2 宏单元结构图

2.2 I/O单元设计

I/O单元是内部电路与外部连接的通道,因而它必须能实现各种各样的输入、输出缓冲器,能与内部及外部电路相互匹配,且还要有足够的输入保护能力等。I/O单元主要由ESD保护电路、缓冲驱动电路和与TTL电路接口的适配电路等组成,其中ESD电路采用电火花隙结构^[6];缓冲器由三种不同尺寸无边环栅对管构成,根据I/O端口驱动的需求,采用相应尺寸;I/O单元的大小为 $152\mu\text{m} \times 204\mu\text{m}$ 。所设计的I/O单元具有很强的可塑性,只需改变其欧姆孔和金属互连线就可以实现输入、输出、双向传输、以及逻辑反向、逻辑同向、三态等多种功能。

2000门海阵列的内部阵列单元由12行 \times 14列宏单元组成,每宏单元由 2×8 个基本单元和8条布线通道组成,等效门数为2000门。I/O单元阵列由36个可编程的I/O单元分布在内部阵列四周而成,加上电源和地各两压点,整个母片共有38个压点。2000门门海阵列的芯片照片见图3,其芯片尺寸为 $2.4\text{mm} \times 2.2\text{mm}$ 。

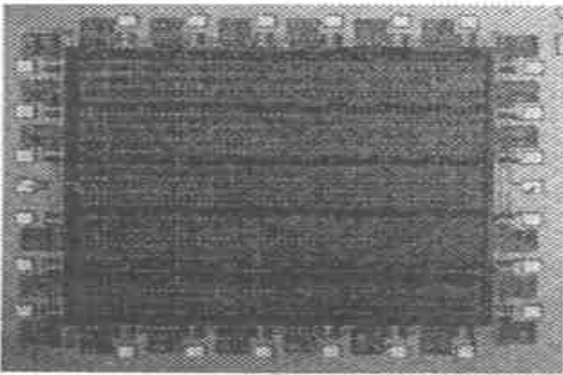


图3 2000门门海阵列的芯片照片

3 全耗尽2000门海阵列工艺

全耗尽CMOS/SOI 2000门海阵列是在中科院微电子中心第一研究室进行工艺投片,光刻机为ASM-5000,刻蚀采用Lam公司亚微米系列刻蚀机。硅片采用美国IBIS公司的4英寸SIMOX基片,其中 $t_{\text{BOX}}: 382.6\text{nm}$; $t_{\text{Si}}: 198.6\text{nm}$ 衬底 $P < 100 >$,其具体工艺流程如下^[7]:

(1)作标记和在线监控图形;(2)采用牺牲氧化技术减薄硅层至 95nm ;(3)PBL(Poly-buffered LOCOS)隔离,鸟嘴尺寸 $<$

$0.2\mu\text{m}$;(4)NMOS管硅岛边缘注入: $B^+ 30\text{KeV } 5E13$,以抑制边缘漏电;(5)预栅氧 15nm ;(6)沟道掺杂工程,NMOS: $B 50\text{KeV } 2e12/\text{cm}^2$,BF₂ $80\text{KeV } 3E11/\text{cm}^2$;PMOS: $P 80\text{KeV } 2e11/\text{cm}^2$;对NMOS和PMOS管进行阈值调整,抑制沟道穿通和背栅效应;(7)抗辐照薄栅氧 $850^\circ\text{C } 11\text{nm}$ 。我们将 H_2O_2 合成和氮氧化栅两种技术结合起来,采用三层复合结构栅,其中氮氧化栅采用两步氮氧化法。(8)LPCVD多晶硅 350nm ,多晶硅掺杂注入,NMOS: $B 30\text{KeV } 8e15/\text{cm}^2$;PMOS: $P 70\text{KeV } 5e15/\text{cm}^2$,器件采用新型的双栅结构;(9)光刻和RIE多晶硅,形成 $0.8\mu\text{m}$ 多晶硅栅;(10)源漏伸展区掺杂,NMOS: $P^+ 30\text{KeV } 2e13/\text{cm}^2$ PMOS: $B^+ 30\text{KeV } 4e13/\text{cm}^2$;(11)淀积TEOS 330nm ,RIE后形成LDD结构,用于提高击穿电压,抑制短沟道效应和热电子效应;(12)源漏注入,NMOS: $\text{As}^+ 60\text{KeV } 5.5e15/\text{cm}^2$ PMOS: $\text{BF}^+ 40\text{KeV } 3e15/\text{cm}^2$;(13)RTA $1000^\circ\text{C } 6''$,对各注入进行退火和激活;(14)注Ge硅化物工艺;(15)BPSG淀积及回流;(16)双层金属布线;(17)钝化。

最终,我们获得性能优良的 $0.8\mu\text{m}$ 全耗尽CMOS/SOI器件和电路,顶部硅层仅剩 70nm ,硅化物厚度为 45nm 左右。

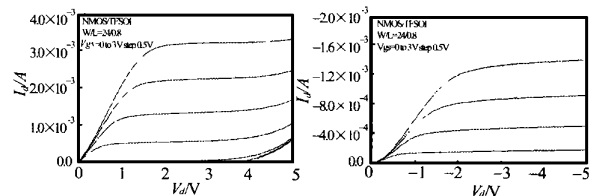
4 测试与分析

表2给出 $0.8\mu\text{m}$ 全耗尽SOI器件的基本电学参数和器件性能。从表中可见,全耗尽SOI NMOS和PMOS管的亚阈值斜率分别为 $79\text{mV}/\text{dec}$ 和 $81\text{mV}/\text{dec}$,较为接近理想的亚阈值斜率($60\text{mV}/\text{dec}$);由于单管门锁效应的存在,器件的击穿电压较低,NMOS为 $4.5 \sim 5.2\text{V}$,PMOS管为 $5 \sim 6.3\text{V}$;另外,可见器件的泄漏电流较小,NMOS为 $2 \times 10^{-12}\text{A}/\mu\text{m}$,PMOS管为 $7 \times 10^{-13}\text{A}/\mu\text{m}$,完全满足高速电路对器件的要求。

表2 全耗尽SOI(TFSOI)器件的电学性能和器件参数

	NMOS	PMOS
硅层厚度(nm)	65	65
沟道长度(μm)	0.8	0.8
栅氧厚度(nm)	11	11
阈值电压(V)	0.7	-0.8
迁移率($\text{cm}^2/\text{V}\cdot\text{s}$)	465	264
亚阈值斜率(mV/dec) $V_{\text{ds}} = 0.1\text{V}$	79	81
泄漏电流($\text{A}/\mu\text{m}$)	2×10^{-12}	7×10^{-13}
击穿电压(V)	$4.5 \sim 5.2\text{V}$	$-5 \sim -6.3\text{V}$

图4为 $0.8\mu\text{m}$ 全耗尽SOI器件的输出特性曲线。(a)为NMOS管输出特性曲线,(b)为PMOS管输出特性曲线。从图中没有见到“kink”现象,且器件的电流驱动能力较大。

图4 $0.8\mu\text{m}$ 全耗尽SOI器件的输出特性曲线。(a) NMOS管输出特性曲线;(b) PMOS管输出特性曲线

采用2000门海阵列技术,我们实现了环形振荡器电路和

多级分频器. 为了使得电路充分振荡, 环振级数为 101 级. 采用 HP54615B 示波器对环振进行分析、测试, 图 5 给出在 5V 工作电压下环振振荡器的波形图, 根据计算, 全耗尽环振振荡器的单级门延迟仅为 45ps, 这是目前国内全耗尽 SOI CMOS 电路研制报道的最高水平. 图 6 给出 101 级 0.8 μ m 部分耗尽、全耗尽 CMOS/SOI 环振单级延迟时间与工作电压的关系图, 其中曲线 A 为全耗尽 CMOS/SOI 环振, 曲线 B 为部分耗尽 CMOS/SOI 环振, 从图中可见, 环振可在 2~5V 下稳定工作, 同时随着硅层厚度的减薄, 电路速度得以提高, 全耗尽 CMOS/SOI 环振比部分耗尽环振快 30%, 这是全耗尽 CMOS/SOI 电路的显著特点, 主要是由于全耗尽 SOI 器件的寄生电容和体效应降低引起的, 使之成为高速电路的主流. 多级分频器包括 4~128 级分频器, 图 7 给出 64 级分频器电路的输出波形. 2000 门阵列的芯片照片见图 3.

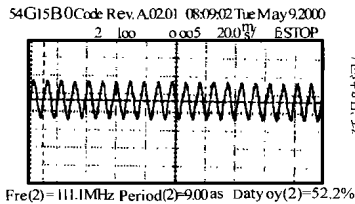


图 5 101 级 CMOS/SOI 环形延迟时间振荡器的波形图

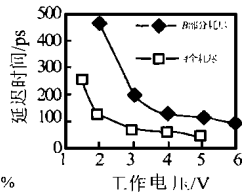


图 6 0.8 μ m 101 级环振单级延迟时间与工作电压的关系图

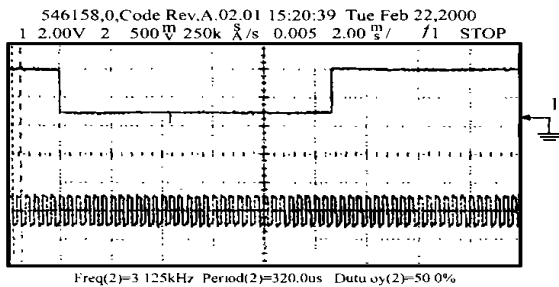


图 7 64 级分频器电路的输出波形

5 结束语

本文对全耗尽 CMOS/SOI 2000 门阵列进行了研究, 其内部基本单元采用 4 管结构, 单元尺寸为 38.8 μ m \times 9.2 μ m. 为了便于布线和建单元库, 阵列采用宏单元结构, 每个宏单元包括

2 \times 8 个基本单元和 8 条布线通道, 布线通道分布在宏单元四周, 宏单元尺寸为: 92 μ m \times 86 μ m. 通过工艺投片, 成功地在全耗尽 2000 门阵列上实现了 101 级环振电路和 4~128 级分频器电路, 其中, 当工作电压为 5V 时, 全耗尽 SOI CMOS 101 级环振单级延迟为 45ps, 这是目前国内全耗尽 SOI CMOS 电路研制报道的最高水平; 同时随着硅层厚度的减薄, 电路速度得以提高, 全耗尽 CMOS/SOI 环振比部分耗尽环振快 30%.

致谢: 感谢中科院微电子中心第一研究室全体工作人员对工艺研究和器件与电路测试的大力支持.

参考文献:

- [1] J.P. Colinge. Silicon-On-Insulator Technology: materials to VLSI [M]. Boston: Kluwer Academic publishers, 1991.
- [2] T. Nishimura, Y. Yamaguchi, M. Shimizu, K. Tsukamoto, Y. Akasaka. A high speed 16K gate array in thin SIMOX films [J]. IEEE Tech. Dig., IEDM 91 109-112.
- [3] T. Zwamatsu, et al. IEEE Tech. Dig., IEDM 93 475-478.
- [4] 石涌泉, 张兴, 路泉, 黄敞. 300 门 CMOS/SIMOX 门阵列容错 ASIC 电路的研制 [J]. 微电子与计算机, 1995, 2: 10-12.
- [5] 魏丽琼, 张兴, 李映雪, 王阳元. 薄膜全耗尽 SOI 门阵列电路设计与实现 [J]. 电子学报, 1996, 2: 46-49.
- [6] 刘新宇, 等. CMOS/SOI 64Kb 静态随机存储器 (SRAM) 的研究 [J]. 半导体学报, 已录用.
- [7] 刘新宇, 等. 0.8~1.2 μ m SOI CMOS 工艺研究 [A]. 第四届全国 SOI 会议论文集 [C], 2000, 5.

作者简介:

刘新宇 男, 1973 年出生于安徽泗县, 现在中国科学院微电子中心就读博士研究生, 导师吴德馨院士. 主要研究方向: PD/FDSOI CMOS 工艺、PD/FDSOI CMOS 器件和电路 (全耗尽 2000 门阵列、全耗尽 CMOS/SOI 4Kb SRAM 和 CMOS/PDSOI 64 kb SRAM)、PD/FDSOI CMOS 建模和 PD/FDSOI CMOS 抗辐照研究.

孙海锋 男, 1973 年出生, 1997 年毕业于清华大学, 获得学士学位; 2000 年毕业于中国科学院微电子中心, 获得硕士学位. 主要研究方向: PD/FDSOI CMOS 工艺和器件研究和 PD/FDSOI CMOS 抗辐照研究, 参与了国家“九五”攻关项目“亚微米 CMOS/SIMOX 器件和电路”的研究.